

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



(19)

(11) Publication number: 04062975 A

Generated Document.

## PATENT ABSTRACTS OF JAPAN

(21) Application number: 02174971

(51) Int'l. Cl.: H01L 29/784

(22) Application date: 02.07.90

(30) Priority:  
 (43) Date of application publication: 27.02.92  
 (84) Designated contracting states:

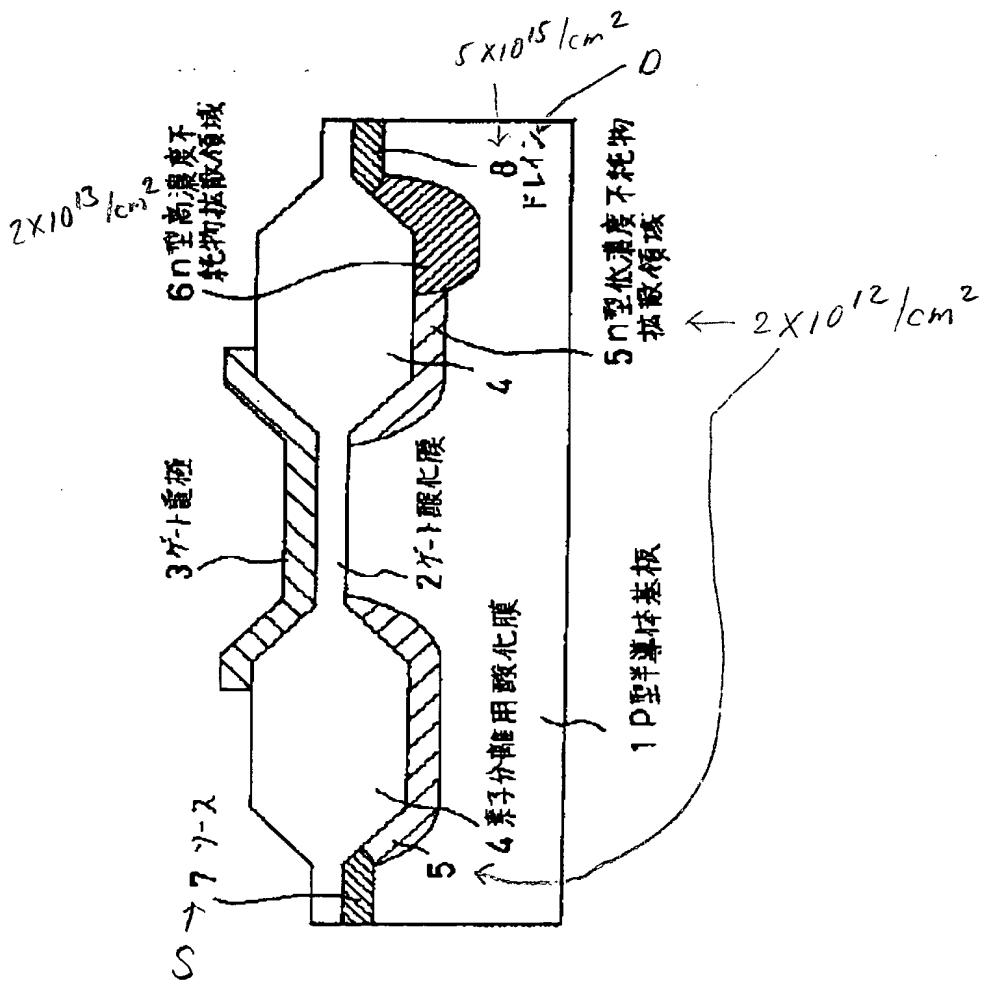
(71) Applicant: SEIKO INSTR INC  
 (72) Inventor: ISHII KAZUTOSHI  
 (74) Representative:

## (54) SEMICONDUCTOR DEVICE

## (57) Abstract:

PURPOSE: To restrain hot carriers from being generated and to make a breakdown strength high by forming a high-concentration impurity diffusion layer which is extended up to a drain from one part of a low-concentration impurity diffusion region, of a second conductivity type, on the lower side of an oxide film, for element isolation use, on the side of the drain.

CONSTITUTION: An n-type source 7, an n-type drain 8 and a low-concentration impurity diffusion region 5 at the lower side of an oxide film 4, for element isolation use, adjacent to a gate oxide film 2 are formed. After that, a high-concentration impurity diffusion region 6 which is extended up to the n-type drain 8 from one part of the low-concentration impurity diffusion region 5 adjacent to the n-type drain 8 is formed. The diffusion region 6 can be formed by implanting ions of an n-type dopant such as n+, As+, Pb+ or the like after formation of the implantation mask 7 before the oxide film 4 is formed. Since the diffusion region 6 is formed, a potential gap by a concentration difference is relaxed, and it is possible to restrain hot carriers from being generated and to restrain the thermal destruction when an electric current is concentrated.



## ⑫ 公開特許公報 (A)

平4-62975

⑬ Int. Cl.<sup>5</sup>  
H 01 L 29/784

識別記号

府内整理番号

⑭ 公開 平成4年(1992)2月27日

8422-4M H 01 L 29/78  
8422-4M301 S  
301 G

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 半導体装置

⑯ 特願 平2-174971

⑰ 出願 平2(1990)7月2日

⑱ 発明者 石井 和敏 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式会社内

⑲ 出願人 セイコー電子工業株式 東京都江東区亀戸6丁目31番1号  
会社

⑳ 代理人 弁理士 林 敬之助

## 明細書

## 1. 発明の名称

半導体装置

## 2. 特許請求の範囲

第1導電型の半導体基板表面付近に素子分離用酸化膜を設け、前記素子分離用酸化膜に囲まれた領域にゲート酸化膜を設け、前記ゲート酸化膜を介して前記素子分離用酸化膜上の一端にまで延在するゲート電極を設け、前記ゲート酸化膜に隣接する前記素子分離用酸化膜のチャネル方向の外側に隣接する第2導電型のソース、第2導電型のドレインを設け、前記ゲート酸化膜および前記第2導電型のソース、前記第2導電型のドレインに隣接する前記素子分離用酸化膜の下側に第2導電型の低温度不純物拡散領域を設け、前記第2導電型のドレインに隣接する前記低温度不純物拡散領域の一端から前記ドレインにまで延在する第2導電型の高温度不純物拡散領域を設けたことを特徴とする半導体装置。

## 3. 発明の詳細な説明

## (産業上の利用分野)

本発明は、MOS型半導体装置に関する。

## (発明の概要)

本発明は、ドレインに隣接する素子分離用酸化膜の下側の低温度不純物拡散領域の一部からドレインにまで延在する高温度不純物拡散領域を形成したため、従来の高耐圧半導体装置に比べ、ホットキャリアの発生を抑制することを可能としたものである。

## (従来の技術)

従来、第2図に示したように半導体基板1表面付近に素子分離用酸化膜4を設け、素子分離用酸化膜4に囲まれた領域にゲート酸化膜2を設け、ゲート酸化膜2を介して素子分離用酸化膜4上の一端にまで延在するゲート電極3を設け、ゲート酸化膜2に隣接する素子分離用酸化膜4のチャネル方向の外側に隣接するソース7、ドレイン8を設け、ゲート酸化膜2及びソース7、ドレイン8に隣接する素子分離用酸化膜の下側のn型低温度

不純物拡散領域 5 を設けることによって高耐圧半導体装置を形成していた。

(発明が解決しようとする課題)

しかし、従来の技術ではホットキャリア発生による基板電流の増大、高耐圧化が困難という問題点を有していた。

(課題を解決するための手段)

以上に述べた問題点を解決するために、本発明では、ドレイン側素子分離用酸化膜の下側の第2導電型の低濃度不純物拡散領域の一部からドレインにまで延在する高濃度不純物拡散領域を設けた。

(作用)

上記のごとく形成された半導体装置は、ドレイン側素子分離用酸化膜の下側の半導体基板中にキャリアが流れる時にボテンシャルのギャップを、1ヶ所に集中させないため、ホットキャリアの発生を抑制し、基板電流の低減化ができる。

したがって、高耐圧トランジスタの高耐圧化を可能とした。

(実施例)

- 3 -

純物拡散領域は、素子分離用酸化膜 4 形成時に用いる酸化マスクをイオンインプラマスクとしてセルフアライメントに形成でき、ドーパントは  $P^+$ 、 $As^+$ 、 $Pb^+$  等を用いて、例えば、 $2.0 \times 10^{13}/cm^2$  から  $8.0 \times 10^{13}/cm^2$  程度のドーズ量とする。また、高濃度不純物拡散領域 6 は、素子分離用酸化膜 4 形成前に、インプラマスク 7 を形成後、 $n^+$ 、 $As^+$ 、 $Pb^+$  等の n 型ドーパントをイオン注入することにより形成でき、例えば  $2.0 \times 10^{13}/cm^2$  程度のドーズ量を用いる。この後は、図示しないが中間層形成し、コンククトホールを選択的に形成し、配線層を形成し、保護膜を形成することにより完成する。

(発明の効果)

以上詳細に説明した半導体装置は、素子分離用酸化膜の下側に設けた低濃度不純物拡散領域とドレインとの間に高濃度不純物拡散領域を設けたため、濃度差によるボテンシャルのギャップを緩和し、ホットキャリアの発生を抑制するとともに、電流集中による熱破壊を抑制した。

本発明の一実施例を図面に基づいて詳細に説明する。第1図は、本発明の高耐圧MOS型半導体装置の一実施例のチャネル方向の断面図を示したものである。例えばP型半導体基板1表面付近に素子分離用酸化膜4を形成し、素子分離用酸化膜4に囲まれた領域にゲート酸化膜を形成し、ゲート酸化膜2を介して素子分離用酸化膜4上の一部にまで延在するゲート電極3を形成し、ゲート酸化膜2に隣接する素子分離用酸化膜4のチャネル方向の外側に隣接するn型のソース7、n型のドレイン8を形成する。ここで、n型ソース7、n型ドレイン8は素子分離用酸化膜4をインプラマスクとして形成でき、ドーパントは  $P^+$ 、 $As^+$ 、 $Pb^+$  等を用いて、例えば  $5 \times 10^{13}/cm^2$  程度のドーズ量とする。次に、n型のソース7、n型のドレイン8およびゲート酸化膜2に隣接する素子分離用酸化膜4の下側に低濃度不純物拡散5を形成し、n型ドレイン8に隣接する低濃度不純物拡散領域5の一部からn型ドレイン8にまで延在する高濃度不純物拡散領域6を形成する。ここで、低濃度不

- 4 -

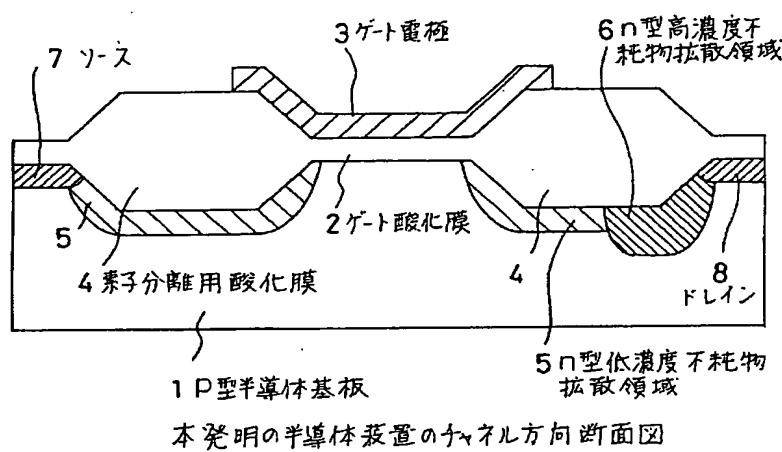
4. 図面の簡単な説明

第1図は本発明のMOS型半導体装置のチャネル方向断面図、第2図は従来のMOS型半導体装置のチャネル方向断面図である。

- 1 . . . P型半導体基板
- 2 . . . ゲート酸化膜
- 3 . . . ゲート電極
- 4 . . . 素子分離用酸化膜
- 5 . . . n型低濃度不純物拡散領域
- 6 . . . n型高濃度不純物拡散領域
- 7 . . . n型のソース
- 8 . . . n型のドレイン

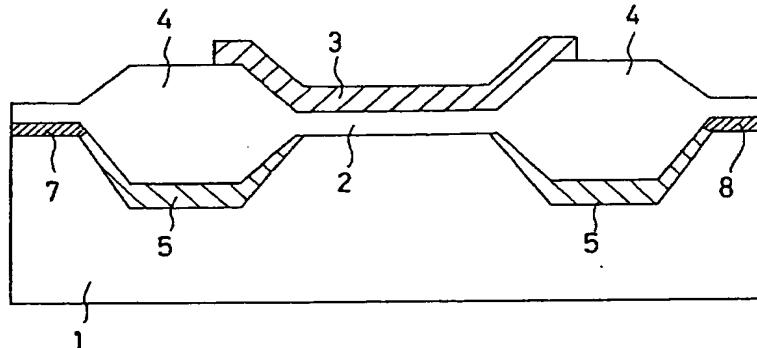
以上

出願人 セイコー電子工業株式会社  
代理人 弁理士 林 敬之助



本発明の半導体装置のチャネル方向断面図

第 1 図



従来の半導体装置の断面図

第 2 図